

[19]中华人民共和国专利局

[51]Int.Cl⁶

H04N 9/79

H04N 5/76



[12] 发明专利申请公开说明书

[21] 申请号 97111108.1

[11] 公开号 CN 1168065A

[43] 公开日 1997 年 12 月 17 日

[22] 申请日 97.5.7

[30] 优先权

[32] 96.5.7 [33] JP[31] 112476 / 96

[32] 97.3.6 [33] JP[31] 051306 / 97

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 安部秀喜 岩仓纪行 幡野贵久

进藤嘉邦 山田和洋 木田和重

山口一成

[74] 专利代理机构 中国国际贸易促进委员会专利商标
事务所

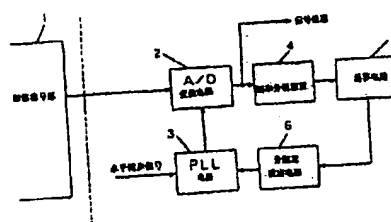
代理人 范本国

权利要求书 6 页 说明书 19 页 附图页数 22 页

[54] 发明名称 像点时钟信号再生方法及使用该方法的
装置

[57] 摘要

本发明通过设定图像信号源的像点时钟频率、以及对与在传输线路中产生的像点时钟的相位差进行补偿，提供一种简易的像点时钟再生装置和方法。其方法特征在于：针对与图像信号的像点时钟不同的频率进行取样；对于在此过程中产生的反射频率成分进行检测；在不产生反射频率成分的条件下进行再生像点时钟。作为使用这种方法的装置，具有：A/D 变换装置、PLL 装置、频率分析装置、和分频比设定装置。这样，相位差能够得到补偿，从而能简单地实现像点时钟自动再生。



(BJ) 第 1456 号

权 利 要 求 书

1.一种像点时钟的再生方法,其特征在于具有:以与图象信号的像点时钟不同的频率进行取样的步骤;对于在上述过程中产生的反射频率进行检测的步骤;以及在不产生反射频率成分的条件下进行像点时钟的再生的步骤。

2.如权利要求1中记载的像点时钟再生方法,其特征在于:将一帧分成多个区域后再进行反射频率成分的检测。

3.如权利要求2中记载的像点时钟再生方法,其特征在于具有:对输出调整信号的图象信号源进行取样的步骤;对于取样后的信号进行微分处理的步骤;利用该结果对再生的像点时钟的相位进行自动调整的步骤;以及对比作为图象显示信号的位数少的位数进行微分处理的步骤。

4.如权利要求2中记载的像点时钟再生方法,其特征在于具有:利用改变像点时钟相位的办法代替使用输出调整信号的图象信号源,并且求算其微分结果的步骤;和同时根据多次反复进行上述步骤的结果,求出最佳时钟相位的步骤。

5.一种像点时钟再生装置,其特征在于具有:A/D变换装置,经过对其输入来自图象信号源输入的调整用信号,对上述调整用信号进行取样,将其变换为数字信号;PLL装置,通过对规定的同步信号进行分频产生上述A/D变换装置的取样时钟;频率分析装置,用来根据来自上述A/D变换装置的输出对上述调整用信号的频率进行分析;分频比设定装置,用来根据来自上述频率分析装置的输出对上述PLL装置的分频比进行控制;并且再生像点时钟,将上述PLL装置的输出作为像点时钟信号,由此再生出像点时钟。

6.一种像点时钟再生装置,其特征在于具有: A/D 变换装置,该装置输入图象信号源输出的图象信号,对上述图象信号进行取样,将其变换为数字信号; PLL 装置,对规定的同步信号进行分频从而产生上述 A/D 变换装置的取样时钟; 信号电平差检测装置,用来根据上述 A/D 变换装置的输出,求算在规定取样值之间的差; 累计计算装置,用来计算上述信号电平差检测装置输出的绝对值,并对该绝对值顺序进行累计计算,并将该累计计算结果输出; 相位调整装置,用来根据上述累计计算装置的输出对上述 PLL 装置的取样时钟的相位进行控制; 将上述 PLL 装置的输出作为像点时钟信号,由此再生出像点时钟。

7.一种像点时钟再生装置,其特征在于备有: 模拟数字变换器,经过对其输入来自图象信号源输入的调整用信号,将该输入图象信号变换为数字信号; 频率分析装置,用来检测在利用当上述调整用信号的像点时钟不同的取样时钟进行模拟数字变换时生成的反射频率成分; 分频比设定装置,用来根据来自上述频率分析装置的输出对上述 PLL 装置的分频比进行控制; 以及上述 PLL 电路,用来产生与水平同步信号同步的时钟。

8.如权利要求 7 中记载的像点时钟再生装置,其特征在于设有: 相位调整装置以及用来检测取样值之间的信号电平差的信号电平差检测装置。

9.一种像点时钟再生装置,该装置能对应于输入的各种图象再生出像点时钟,其特征在于: 根据对来自模拟数字变换后的图象信号输出的上述调整用信号进行微分处理的结果,对再生出的像点时钟的相位进行自动调整。

10.一种像点时钟再生装置,其特征在于备有: A/D 变换器,经过对其输入来自图象信号源输入的调整用信号,将该输入图象信号变换为数字信号; 检测装置,用来检测在取样值之间的信号电平差值; 相位调

整装置，用来在上述检测装置检出的点间信号电平差处于最大的状态下对与 PLL 装置输出的时钟相位进行调整；上述 PLL 电路，用来产生与水平同步信号同步的时钟。

11.一种像点时钟再生方法，其特征在于具有：对于输入的图象信号利用恒定频率的时钟进行取样的步骤；对于一帧的取样数据进行累计，求算多帧的累计值的标准偏差的步骤；利用该偏差值变小的方式对像点时钟与上述输入的相位进行调整的步骤。

12.一种像点时钟再生装置，其特征在于备有：A/D 变换器，用来将输入的图象信号变换为数字信号；加法器，用来对上述 A/D 变换器的输出数据进行累计计算；锁存装置，用来对上述加法器的输出在垂直同步速度条件下输出；运算装置，它输入上述锁存装置的输出，求算上述锁存装置的输出的标准偏差，然后将该值输出；PLL 电路，用来根据输入图象信号的水平同步信号生成像点时钟；相位调整装置，根据上述运算装置的输出信号，对上述 PLL 电路的输出的像点时钟的相位进行调整。

13.一种像点时钟再生方法，其特征在于具有：在准备再生的像点时钟的条件下对输入信号进行取样的步骤；对于相邻的取样值之间的取样值的差值的绝对值进行累计计算的步骤；以及根据该累计计算的结果，对上述像点时钟的相位进行自动调整的步骤。

14.如权利要求 13 中记载的像点时钟再生方法，其特征在于：凡是比设定值小的绝对值都不进行累计计算。

15.如权利要求 14 中记载的像点时钟再生装置，其特征在于：求算累计计算结果中相当于一个像素的平均值，然后对于像点时钟的相位自动进行调整。

16.一种像点时钟在再生装置,其特征在于备有: A/D变换器,在将像点时钟作为取样时钟的条件下,用来将输入信号变换为数字信号;锁存装置,用来对于经过在上述A/D变换后的数字信号按照延迟一个取样周期的程度进行锁存;差分电路,对于上述锁存电路的输出与上述A/D变换器的输出之间的差值进行输出;绝对值电路,用于输出上述差分电路输出的绝对值;累计计算电路,用于对上述绝对值电路的输出进行逐次累计计算;控制电路,用来接受上述累计计算电路输出的累计计算结果,对上述像点时钟的相位进行控制。

17.如权利要求16中记载的像点时钟再生装置,其特征不在于设有:存储电路,用来储存设定值;比较电路,用来将绝对值电路的输出和上述存储电路中所存的设定值进行比较,当绝对值大于设定值时,向累计计算电路输出使能信号。

18.如权利要求17中记载的像点时钟再生装置,其特征不在于设有:计数器,用来在输出使能信号的使能期间对像点时钟进行计数,除法电路,用来将上述累计计算电路的输出除以计数器的输出,并向控制电路输出。

19.一种像点时钟再生方法,其特征不在于具有:在准备再生的像点时钟的条件下对输入信号取样的步骤;对行间的取样值之间的差值的绝对值进行累计计算的步骤;以及根据对上述像点时钟的相位进行自动调整的步骤。

20.如权利要求19中记载的像点时钟再生方法,其特征不在于:凡是比设定值大的绝对值都不进行累计计算。

21.如权利要求20中记载的像点时钟再生方法,其特征不在于:对累计计算出的像素数进行计数,利用计数值和累计计算的结果,对像点时钟的相位进行自动调整。

22.一种像点时钟再生装置,其特征在于备有:A/D变换器,在将与时钟作为取样时钟的条件下,用来将输入信号变换为数字信号;行存储器,用来将经过上述A/D变换后的数字信号延迟一行;差分电路,将上述行存储器的输出与上述A/D变换器的输出之间的差值进行输出;绝对值电路,用于输出上述差分电路输出的绝对值;累计计算电路,用于对上述绝对值电路的输出进行逐次累计计算;控制电路,用来接受上述累计计算电路输出的累计计算结果,对上述像点时钟的相位进行控制。

23.如权利要求22中记载的像点时钟再生装置,其特征在于设有:存储电路,用来储存设定值;比较电路,用来将绝对值电路的输出和上述存储电路中所存的设定值进行比较,当绝对值小于设定值时,向累计计算电路输出使能信号。

24.如权利要求23中记载的像点时钟再生装置,其特征在于设有:计数器,用来在比较电路输出的使能信号的使能期间,对像点时钟进行计数,并向控制电路输出。

25.一种像点时钟再生方法,其特征在于具有:在准备再生的像点时钟的条件下对输入信号进行取样的步骤;对帧间的取样值之间的差值的绝对值进行累计计算的步骤;根据该结果,对上述像点时钟的相位进行自动调整的步骤。

26.一种像点时钟再生装置,其特征在于备有:A/D变换器,在将点时钟作为取样时钟的条件下,用来将输入信号变换为数字信号;帧存储器,用来将经过上述A/D变换后的数字信号延迟一帧;差分电路,对于上述帧存储器的输出与上述A/D变换器的输出之间的差值进行输出;绝对值电路,用于输出上述差分电路输出的绝对值;累计计算电路,用于对上述绝对值电路的输出进行逐次累计计算;控制电路,用来接受上述累计计算电路输出的累计计算结果,对上述像点时钟的相位进行控

制。

说明书

像点时钟信号再生方法及使用该方法的装置

本发明涉及作为图像显示装置的同步信号使用的像点时钟信号发生装置，特别涉及连接在输出图象信号的像点时钟的计算机（IBMPC等）上的液晶等矩阵显示装置和扫描变换装置。

由于个人计算机或EWS（工程工作站）输出的图象信号是用比行同步信号短的恒定周期（以下称点周期）使信号电平发生变化，在液晶等矩阵显示装置上显示或在将其写入存储器中进行处理时，就必须使用与点周期一致的时钟（以后称像点时钟）作为同步信号。

但是，由于输出像点时钟信号的个人计算机等一类的计算机较少，在利用来自个人计算机输出的图象信号进行显示时，就必须备有像点时钟信号的再生装置，在图像显示装置中将视频显示信号变频，再生出像点时钟。

然而，对于现有的像点时钟信号再生装置而言，对于来自各种个人计算机输出的变换纷纭的图象信号源的点频率必须进行再生，更重要的是，纵然行同步信号和图象信号是来自同一图象信号源，但却由于传输路径不同，还必须对两者之间的相位差进行彻底地复原再生处理，所以各种调整是不可缺少的。具体地说，当将图像显示装置连接在图象信号源之后，要显示比个人计算机等纵线更细的图像时，要对像点时钟再生装置的PLL信号电路进行变倍调整。如果想看到整齐的纵线的话，还需由用户进行手动调整。

有关这样的调整，在特开平5-66752号公报中作为像点时钟自动再生的例子有所记载。

图26所示是现有的像点时钟再生装置的结构，其中，21是边沿检测部，用来检测随同点频率变化的图象信号的边沿；22是周期检测部，用来对在边沿检测部输出的边沿和行同步信号的边沿之间由脉冲振荡电路23产生的高频脉冲频率进行计数，检测其周期；23是脉冲发生器，用来产生在频率检测部检测频率所用的高频脉冲；24是运算部分，用来

对频率检测部的输出进行运算，设定在 PLL 电路 25 中形成的取样时钟的频率。

但是，在上述结构中，由于 XGA (Extended Graphic Array) 中的像点时钟频率非常之高，在 60MH 到 80MH 之间；而且还需要产生比周期检测部所用的振荡脉冲的发生部中的输出还高的频率，所以周期检测部的结构电路也必须要采用与非常高的频率相对应的高性能的部件，从而使成本增高。

本发明的目的在于提供一种像点时钟信号再生装置，该装置能够设定图象信号源的像点时钟频率，并对在传输线路中产生的像点时钟信号的相位差进行补偿，从而自动再生像点时钟信号。

为了达到上述目的，本发明提供了一种像点时钟再生方法，该方法的特征在于：在像点时钟再生中，以与图象信号的像点时钟不同的频率进行检测的步骤；进行取样的步骤；对在此过程中产生的反射频率成分进行检测的步骤；在不产生反射频率成分的条件下进行再生像点时钟的步骤。采用这样的办法，对于点频率能够进行调整校正。经过反复校正，使反射频率成分不再再生，从而能够再生正确的像点时钟。

特别是，当检出有反射频率成分时，对一帧进行分块处理，分成多个区域的步骤，所以能够与高频率的像点时钟相对应。

此外，本发明还提供了一种像点时钟的再生方法，其特征在于：具有对图象信号输出的调整信号进行取样的步骤；对于取样后的信号进行微分处理的步骤；利用该结果对再生的像点时钟的相位进行自动调整的步骤；并对比作为图象显示的信号的位数少的位数进行微分处理。通过这样的办法，由于向微分电路输入的位数与实际显示的图象信号的位数相比有意地减少了，所以再生的像点时钟频率不会受图象信号的模拟段中所含噪声的影响。

另外，本发明还提供了一种像点时钟再生方法，其特征在于：具有利用改变像点时钟相位的办法代替使用输出调整信号的图象信号源的步骤；检测相位的每个取样值的差分的步骤；同时根据对该信号进行微分处理的结果，求出最佳时钟相位的步骤。通过这样的办法，对于输入的图象信号在恒定频率的时钟条件下进行取样，累计计算 1 帧的取样数

据, 求出几个帧的累计计算值的标准偏差, 就能够使偏差值变小的方法来调整像点时钟对输入图象信号的相位。

另外, 本发明还提供了一种像点时钟再生装置作为使用上述像点时钟再生方法的装置, 其特征在于具有: A/D 变换装置, 经过对其输入来自图象信号源的调整用信号, 对该调整用信号进行取样, 将其变换为数字信号; PLL 装置, 用来对一定的同步信号进行分频, 产生上述 A/D 变换装置的取样时钟; 频率分析装置, 用来对 A/D 变换装置输出的上述调整用信号的频率进行分析; 分频比设定装置, 用来根据上述频率分析装置的输出对上述 PLL 装置的分频比进行控制; 将上述 PLL 装置的输出作为像点时钟信号, 从而再生出像点时钟。通过这样的装置, 可以设定图象信号源的像点时钟频率, 并且对在传输线路等之中产生的像点时钟相位差进行补偿, 从而实现能方便地自动再生出像点时钟的像点时钟再生装置。

另外, 本发明还提供了一种像点时钟再生装置, 其特征在于具有: A/D 变换装置, 该装置输入来自图象信号源输入的图象信号, 对上述图象信号进行取样, 将其变换为数字信号; PLL 装置, 用来通过对一定的同步信号进行分频, 产生出上述 A/D 变换装置的取样时钟; 信号电平差检测装置, 用来根据上述 A/D 变换装置的输出, 计算规定取样值之间的差值; 累计装置, 用来计算上述信号电平差检测装置输出的绝对值, 并对该绝对值逐次进行累计计算, 并将该累计计算结果输出; 相位调整装置, 用来对来自上述累计计算装置输出的上述 PLL 装置的取样时钟的相位进行控制; 进行像点时钟的再生, 将上述 PLL 装置的输出作为像点时钟信号, 从而再生出像点时钟。通过这种装置, 可以检测信号的电平差, 根据检出信号对取样时钟的相位进行调整, 从而实现方便地能自动再生出像点时钟的像点时钟再生装置。

图 1 是本发明的第 1 实施例中的像点时钟信号再生装置的框图。

图 2 所示是来自图象信号源的调整用图象信号波形的一个示例图

图 3 是波形分析装置一个示例的方框图。

图 4 是积分器内部构成的一个示例图。

图 5(a)是频率不同时的取样时序图。

(b) 是频率相同时的取样时序图。

图 6 是本发明的实施例 2 中的像点时钟信号再生装置的方框图。

图 7 是电平差检测装置的一个示例的方框图。

图 8(a)是相位不同时的取样说明图。

(b) 是相位相同时的取样说明图。

图 9 是本发明的实施例 2 中的像点时钟信号再生装置的框图。

图 10 是本发明的实施例 3 的框图。

图 11 是本发明的实施例 3 中的时钟相位与检测值的直方图。

图 12 是采用本发明的实施例 4 的同步信号再生装置的框图。

图 13 是表示图象信号和同步信号的相位错误时的状态的示意图。

图 14 是表示图象信号和同步信号的相位正确时的状态的示意图。

图 15 是采用本发明的实施例 5 框图。

图 16 是取样示例图。

图 17 是本发明的实施例 6 的框图。

图 18 是图象信号沿垂直方向吻合的放大图。

图 19 是采用本发明的实施例 7 的框图。

图 20 是图象信号沿帧方向吻合的放大图。

图 21 是本发明的实施例 8 的框图。

图 22 是本发明的实施例 9 的框图。

图 23 是本发明的实施例 10 的框图。

图 24 是本发明的实施例 11 的框图。

图 25 是本发明的实施例 11 的控制电路 708 中的流程图。

图 26 是现有的像点时钟信号再生装置的示意图。

下面利用附图对本发明的实施例进行说明。

图 1 所示是第 1 实施例中像点时钟再生装置的方框图。

图 1 中, 1 是计算机等图象信号源, 输出如图 2 所示的调整用图象信号; 2 是 A/D 变换器, 用来对输入的图象信号用以下将作说明的 PLL 电路 3 输出的像点时钟进行取样, 并将其变换成数字信号; 3 是 PLL 电

路，用来作成与水平同步信号同步的取样时钟；4 是频率分析装置，用来对于由输入图象信号源的像点时钟用 PLL 电路 3 输出的时钟进行取样时产生的反射频率成分进行分析。

这里，针对图 2 的调整用输出信号的频率分析装置 4 由图 3 所示是由 2 个延迟器 41、42、减法器 43、绝对值电路 44 和第 1 积分器 45 构成的。

在图 1 中，6 是针对 PLL 电路设定取样时钟频率的分频比的设定电路；8 是运算电路，用于根据从频率分析装置 4 取得的频率成分信息，针对分频设定电路 6 计算出取样时钟频率的可变量，然后再进行输出。

另外，图 4 是积分器 45 的内部结构。在图 4 中，51 是第 2 积分器，对积分器 45 的输入信号与像点时钟同步地进行累计计算；52 是延迟器，53 为第 3 积分器，用来对延迟器 52 进行累计计算；54 是分频器，用来对像点时钟进行 $1/n$ 分频。

现对具有以上结构的本实施例的像点时钟再生电路的运作进行说明。图象信号源 1 输出的图 2 的调整用输出信号是以每隔一个点分别反复输出 VH 和 VL 信号的信号。

此处在以图 3 所示的频率分析装置 4 的一个实例的电路中，对于 A/D 变换器取样得到的结果，求出每隔一个取样值的取样值之间的差值，取两个取样值之间的变动量的绝对值进行累计计算。结果，当取样频率与图象信号源 1 像点时钟的频率相等时，如图 5 (b) 所示，两个取样值之间的变动量为 0，频率分析装置 4 的输出为 0 (有时出于噪声等方面的原因也会不为 0)。

另外，当频率不相同，每隔一个取样值的两个取样值之间出现如图 5 (a) 所示的变动量。两个取样值之间的时钟频率的反射成分就是该变动量的表现。计算时，与频率分析装置 4 输出的 0 相比，就成为很大的量。不用说，图象信号源 1 的像点时钟频率与取样频率之间的差越小，频率分析装置 4 的输出也越小。

于是，当图象信号源 1 的像点时钟的频率与 A/D 变换器 2 的取样频率一致时，就能将其作为检测结果看待。利用该检测结果，通过运算电路 8，就能够对于经过分频比设定电路 6 设定的取样频率进行调整。

在上述结构的积分器 45 中, 在 A/D 变换器中进行 (比方说) 8 位量化时, 1 帧的有效画素为 1280×1024 点的信号时, $9 \times 11 \times 10 = 30$ 位的累计计算必须在 1 个像点时钟内进行, 积分器要求高速运作。

然而, 如果如图 4 所示把积分器 45 的内部进行 n 份分割, 要求高速运作的积分器 51 的位数就少, 而按像点时钟以 $1/n$ 运作的积分器 53 的位数就多, 所以就能够构成总体上能以高速运作的积分器, 起到与高像点时钟相对应的作用。

因此, 如果采用本实施例, 通过对在取样过程中产生的反射频率成分进行检测, 计算该检出信号, 对像点时钟的频率进行校正调整, 如此进行反复操作, 直到不再产生反射频率为止, 从而能起到再生点频率的作用。

除此以外, 通过输出来自图象信号源的调整用信号, 对该信号用与信号源的像点时钟频率不一致的时钟进行 A/D 变换 (取样), 对其间产生的反射频率成分进行检测, 对该检出信号进行运算处理, 对该检出的像点时钟的频率进行校正调整, 如此进行反复操作, 直到不再产生反射频率为止, 从而具有再生出点频率的作用。

在以上所做的说明中, 虽然是以 A/D 变换器 2 的结构作为取样保持装置, 但是, 也可能采用其他的取样保持装置。

(第 2 实施例)

以下利用图 6 和图 7 对本发明的另一实施例进行说明。图中与上述实施例中同样的结构所用的符号也相同, 说明从略。

图 6 是第 2 实施例中的像点时钟再生装置。5 是信号电平检测检测装置, 用来检测 1 个点取样之间的电平差; 这里, 与图 2 中的调整用输出信号相对应的信号电平差检测电路 5 的一个示例如图 7 所示, 由延迟器 71、减法器 72、绝对值电路 73、积分器 74 构成的。

在图 6 中, 7 是调整 PLL 电路 3 的输出相位用的相位调整装置, 相位调整量通过上述信号电平差检测电路 5 的输出确定。

现对以上结构的本实施例的像点时钟再生装置的运作进行说明。

图中, 在图 7 所示信号电平差输出装置 5 的一个示例的电路中, 针

对 A/D 变换器 2 中的取样结果, 求算相邻取样值之间的抽取取样值的差值, 取相邻取样值的变动量进行累计计算。当该结果说明取样与图象信号源的输出相位吻合时, 相邻取样值之间的变动量符合图 8 (b) 列出的 $VH - VL = X$, 等于图 2 中的调整用信号的振幅 X 的最大值。

另外, 当相位不吻合时, 相邻取样值的变动量小于图 8 所示的调整用图象信号的振幅。因此, 当该变动量的累计计算结果为最大时, 就可以对于相位调整装置 7 中的图象信号源 1 的输出信号和 PLL 电路 3 的输出取样时钟的相位进行调整。

可是, 上述内容虽然是用像点时钟频率吻合状态下的动作做出的说明, 但是针对在上述实施例 1 中记载的像点时钟频率的调整方式, 当然也可以按照利用实施例 1 和 2 合成的图 9 的结构的方式来做, 这是不言而喻的。

再进一步详细说明, A/D 变换器 2 中的输入信号经过 N 位量化, 为了对显示图象进行处理在进行信号处理时按 N 位原样不动输出, 在向信号电平检测装置 5 中输出时, 则要用比 N 位少的 M 位输出。位数减少时, 就不会受模拟段中的噪声的影响。这就是说, 经过 A/D 变换的信号在模拟段中所含的噪声, 通过在下流的信号电平检测装置 5 的内部的积分器 74, 以帧为单位将该噪声成分积蓄。

因此, 在信号检测装置 5 中输入所含的噪声成分在数字化信号的低位部分被舍弃。经过这样的处理, 就能够不受噪声的影响。

这样, 采用本实施例的话, 利用输出调整信号源, 利用对取样后的信号进行微分处理 (取时间、空间相邻接的像素之间的差分) 的结果, 在对像点时钟的相位进行自动调整的过程中, 其特征在于要对比形成图象显示的信号的位数进行微分处理, 由于输往微分电路的位数比进行图象显示的信号的位数有意地减少了, 所以能起到在图象信号的模拟段不受噪声的影响的状态下再生出像点时钟频率的作用。

这就是说, 本实施例所起的作用是: 针对点间信号电平差为最大时的调整用信号, 对于经过取样处理后的图象信号间的点间 (取样值间) 信号的电平差进行检测, 根据该检测信号进行取样时钟的相位调整, 逐次反复进行相位调整, 直到该检出信号达到最大为止, 从而可以对取样

时钟的相位进行校正。

(实施例 3)

图 10 是第 3 实施例的像点时钟再生装置。同一结构所用的符号与上述实施例中的相同，说明从略。

9 是微机，用来处理信号电平检测装置 5 的输出，控制相位调整装置 7。在微机 9 中，首先对相位调整装置进行控制，使其输出相位为 0 度的时钟。此时，检出信号电平检测电路 5 的输出。然后，输出相位为 m 度的时钟，检出信号电平检测电路 5 的输出。依次将相位增加 M 度，检出各信号电平检测电路 5 的输出，求出如图 11 所示的直方图。

不论相位有多少变化，信号电平检测电路 5 的输出不太变化的领域就是不受时钟波动影响的相位，也就是在相位调整中所求的最佳点。

由于像点时钟频率在所连接计算机等一类的机器的种类和对其所做的设定无变化时保持恒定，一旦经过调整，在连接机器或对其所做的设定不发生变化时无需再度进行调整。但由于时钟相位因所连接的机器或像点时钟再生电路的温度特性更严格地说所连接的电缆的状态时刻发生变化，最好是便于调整。

因此，在本实施例中，不用输出调整用信号源，改用使像点时钟相位发生变化的办法，利用将相位差进行处理的结果，求出最佳时钟相位，起到不必输入特定信号就能够对取样时钟的相位进行补偿的作用。

(实施例 4)

图 12 是本发明的实施例中的像点时钟再生装置的框图。

在图 12 中，401 是 A/D 变换器，用来将通过计算机等输入的图象信号变换成数字信号。402 是 PLL 电路，能够生成与输入信号同步的取样时钟；403 是加法器，用来将 A/D 变换器 1 的取样输出进行累计计算；404 是锁存装置，用来在与垂直同步信号同步的时序取出加法器 403 的输出；405 是运算装置，用来将锁存装置 404 的输出作为输入，将锁存装置 405 的输出为基础以帧为单位对取样值的累计标准偏差进行计算；406 是相位调整装置，用来根据运算装置 405 的值对 PLL 电路 402

的输出中所含的像点时钟对相位进行调整。

现对以上结构的本实施例的像点时钟自动调整的运作进行说明。本发明中必要的输入图象信号是必须要有沿着帧方向的恒定信号的静止画面。根据输入图象信号的水平同步信号由 PLL 电路生成与输入图象信号同步的像点时钟。输入图象信号通过 PLL 电路 402 的输出中所含的像点时钟在 A/D 变换器 401 中变换成数字信号。

但是，在该时刻的像点时钟是与图象信号的取样值数一致的频率的时钟。A/D 变换器 401 的输出被输入到加法器 403 中，由加法器 403 对输入的取样值进行累计计算，通过垂直同步信号进行复位。加法器 403 的输出通过锁存装置 404 中的垂直同步信号锁存，将一帧时间内的取样值的总和输出。当输入图象信号与像点时钟的相位错位时，特别是当图象信号瞬变部分在 A/D 变换器中处于取样状态下的时钟，由于像点时钟相位的微小变动使取样值发生变化，从而使取样值的总和在帧内发生变化。

图 13 和图 14 所示是图象信号和像点时钟相位之间的关系。当在取样中使用像点时钟的上升沿时，如图 13 所示的相位关系，其上升沿因受噪声等的影响出现微小干扰而使取样值发生变化，从而在帧中出现取样值的总和发生变化的情况。

在图 14 所示的相位关系的情况下，上升沿取样关系稳定，故取样结果比较稳定。在运算装置 405 中求算锁存装置 404 的多个输出值之间的标准偏差，并将该值输出到相位调整装置 6。在相位调整装置 406 中，根据运算装置 5 的输出值，使自 PLL 电路 2 的输出的像点时钟的相位发生变化。将 A/D 变换器 1 中通过该像点时钟的相位得到的取样值再度输入加法器 3。

通过反复执行上述运作，使运算装置的输出值最小。即，使每帧的取样值的总和恒定，使图象信号和像点时钟的相位处于吻合状态（图 14）。

由于在运算装置 405 中运算值的个数即运算用的帧数多，所以能够以简单的方式提高像点时钟相位的调整精度。

在本实施例中，虽然是在 PLL 电路 402 和 A/D 变换器 401 之间设

置相位调整装置,当然,也可以使PLL装置在内部具备相位调整的功能,从而能以就本实施例的形态实现同等动作。

另外,在本实施例中,A/D变换器401、加法器403和锁存装置404是以红、绿、蓝三种颜色中的一种所做的说明,当然,也可以将各种颜色的锁存装置404的输出输入到运算装置405中,求出三色的标准偏差,对相位调整装置406进行控制,从而可能实现与本实施例的同等动作。

因此,当输入图象信号和再生的像点时钟的相位之间有错位时,监视所发生的取样值在数帧中的变化情况,就起到使数帧中的取样值的累计计算的标准偏差达到最小的状态下自动进行像点时钟相位调整的作用。

(实施例5)

以下利用图15、图16对本发明的另一实施例进行说明:

在图15中,501是PLL电路,其输入信号可以是(比方说)由计算机输出的图象信号,该电路用于再生出与其同步信号同步的像点时钟,另外还能够对该像点时钟的相位进行控制。502是A/D变换器,在将上述像点时钟作为取样时钟的条件下,用来对上述图象信号进行取样,然后将其变换为数字信号;503是锁存电路,用来将经过上述A/D变换器501后的数字信号比上述取样时钟延迟一个周期锁存;504是差分电路,为了求算相邻取样值之间的取样差值,用来接收来自上述锁存电路的输入与输出两个信号,并将其差值输出;505是绝对值电路,用于输出上述差分电路504的输出的绝对值;506是累计计算电路,用来对绝对值电路505的输出逐项进行累计计算。

507是锁存电路,用来将绝对值电路505的输出以一垂直周期为单位进行锁存。累计计算电路506在锁存电路507进行过锁存之后,输入清除用的清除脉冲。其结果,累计计算结果按一帧为单位输入到如后所述的控制电路508中。508是控制电路,用来接收锁存电路507的输入,产生用于控制上述像点时钟相位用的相位控制信号。

图16是表示上述图象信号的示例和A/D变换器以上述像点时钟进

行取样的方式。

如图 16 所示, 图象信号随像点时钟周期发生幅度变化, 要随像点时钟的相位准确地进行取样, 有时可以, 有时做不到。

纵然图象信号的 1 帧期间出现微小的变化, 由于也能够通过差分电路 504 进行判断, 然后通过绝对值电路、利用累计计算电路 506 进行累计计算, 从而可能对于像点时钟的相位状态进行判断。

控制电路 508 能够通过对相位控制信号的控制内容和累计计算的结果, 利用适当的算法, 进行相位的自动调整。作为算法可以采用 (比方说) 将累计计算电路 506 的值调到最小的办法作为相位调整的基准相位。

在上述基准相位上, 像点时钟的上升沿和图象信号的边沿完全一致时, 在该相位状态下, 通过取样取得的图象信号所显示的画面成为最稳定的图象。因此, 根据上述基准相位所定的相位差 30 度、45 度、60 度等, 能够通过准确地对图象信号进行取样。

如上所述, 通过调整像点时钟的相位, 使取样点产生变化, 利用增减相邻取样之间的取样值, 使上述相位和上述差值的关系满足规定的条件, 就能起到自动调整的作用。

(实施例 6)

以下利用图 17、图 18 对本发明的另一实施例进行说明:

在图 17 中, 601 是 PLL 电路, 其输入信号可以是 (比方说) 由计算机输出的图信号, 该电路用于再生与其同步信号同步的像点时钟, 另外还能够对于该像点时钟的相位进行控制。

602 是 A/D 变换器, 在将上述像点时钟作为取样值时钟的条件下, 用来对上述图象信号进行取样, 然后将其变换为数字信号。

611 是行存储器, 用来将来自 A/D 变换器 602 的数字信号延迟一行的时间; 604 是差分电路, 用来接收来自行存储器的输入与输出两个信号, 并将其差值输出; 605 是绝对值电路, 用于输出上述差分电路 604 输出的绝对值; 606 是累计计算电路, 用来对绝对值电路 605 的输出逐次进行累计计算。

607 是锁存电路, 用来将绝对值电路 605 的输出以一帧周期为单位进行锁存。累计计算电路 606 在锁存电路 607 进行过锁存之后, 输入使

之清零用的清除脉冲。结果，其累计计算结果按一帧为单位。输入如后所述的控制电路 608 中。

608 是控制电路，用来接收锁存电路 607 的输出，产生用于控制上述像点时钟相位用的相位控制信号。

现对以上结构的本实施例 6 的动作加以说明。

图 18 是垂直相关的图象信号在行周期重叠时的放大图。

图象信号是模拟信号，由如图所示的多条线条表示，从图中可知，同一垂直线上的像素相对应的波形由于受到像点时钟的波动或传输线路中噪声等的影响经常发生微细的变动。

当取样点取在图中的箭头 640 所指的地方上的时候，即使是垂直相关的图象，在相邻接的同一垂直线上的像素的取样值就出现了变化。

取样值的变化通过差分电路 604 对各个像素分别进行检测。通过绝对值电路 605 再经过累计计算电路 606 检测出全帧的变化量的总和。

另外，通过改变像点时钟的相位，使图 18 中箭头 641 所指不动时，取样值也就恒定不变，差分电路 604 的输出也近于 0 值。于是累计计算电路 606 求出的值也比在其他位置上所求出的值小。

设在累计计算电路 606 和控制电路 608 之间的锁存电路 607 是为了便于接收控制电路 608 和累计计算电路 606 的输出值之用的，并不是在结构上必不可少的电路。

当控制电路 608 以使累计计算电路 606 的输出值变小的方式控制相位的话，就能够对相位进行自动调整。毋容置言，只要能达到以上效果，采用哪种算法都是可以的。

另外，由于是在控制电路 608 满足累计计算电路 606 的输出值的任意条件下进行控制，所以进一步提高自动调整的精度也是可能的。

如上所述，通过调整像点时钟的相位，利用上述 A / D 变换器改变取样点借以改变上述累计计算电路的输出，就能够检测像点时钟和图象信号之间的相位状态，在上述累计计算电路的输出满足规定条件的情况下，通过上述控制电路，就能起到自动进行像点时钟相位调整的作用。在本实施例中叙述了在图象中存在垂直相关的场合下，能够对相位进行自动调整的例子。

(实施例 7)

以下利用图 19、图 20 对本发明的另一实施例进行说明。

在图 19 中, 701 是 PLL 电路, 它以 (比方说) 由计算机输出的图象信号作为输入信号, 用来再生出与其同步信号同步的像点时钟, 另外还能够对于该像点时钟的相位进行控制。702 是 A/D 变换器, 在将上述像点时钟作为取样时钟的条件下, 用来对上述图象信号进行取样, 然后将其变换为数字信号; 710 是帧存储器, 用来将 A/D 变换器 702 输出的数字信号延迟一个帧周期; 704 是差分电路, 用来接收来自帧存储器 710 的输入与输出两个信号, 并将其差值输出; 705 是绝对值电路, 用于输出上述差分电路 704 输出的绝对值; 706 是累计计算电路, 用来对绝对值电路 705 的输出逐次进行累计计算。707 是锁存电路, 用于对绝对值电路 705 的输出锁存一个帧周期。

累计计算电路 706 在锁存电路 707 锁存后, 输入清除用的清除脉冲。结果, 每一帧的输入累计计算结果被输入到下面所述的控制电路 708 中。

708 是控制电路, 用来接收锁存电路 707 的输出, 产生用于控制上述像点时钟相位用的相位控制信号。

现利用图 20 对以上结构的本实施例 7 的动作加以说明。

图 20 是静止画面的图象信号以帧周期为单位互相重叠时的放大图。

图象信号是模拟信号, 用如图所示的多条线条表示, 与静止画面上的同一像素的点相当的波形由于受到像点时钟的波动或传输线路中噪声等的影响经常发生微细的变动。

当取样点取在图 20 的箭头 760 所指的地方上的时候, 即使是静止画面, 不同帧的同一像素的取样值也出现了变化。

取样值的变化通过差分电路 704 对各个像素进行检测。通过绝对值电路 705 再经过累计计算电路 706 检测出全帧的变化量的总和。

另外, 通过改变像点时钟的相位, 就可以使取样点位于图 20 中箭头 761 所指不动时, 取样值也就恒定不变, 差分电路的输出也近于 0 值。于

是累计计算电路 706 求出的值也比在其他位置上所求的值小。

设在累计计算电路 706 和控制电路 708 之间的锁存电路 707 是为了便于接收控制电路 708 和累计计算电路 706 的输出值之用的，并不是在结构上必不可少的电路。

当控制电路 708 以使累计计算电路的输出值变小的方式控制相位的话，就能够对相位进行自动调整。不用说，只要能达到此目的，采用哪种算法都是可以的。

另外，由于控制电路 708 是使累计计算电路 706 的输出值满足任意条件的方式进行控制，所以以更高的精度进行自动调整也是可能的。

(实施例 8)

以下利用图 21 对本发明的另一实施例进行说明：

在图 21 中，801 是 PLL 电路，该电路以从计算机输出的图象信号为输入信号，用来再生出与其同步信号同步的像点时钟，另外还能够对于该像点时钟的相位进行控制。

802 是 A/D 变换器，它将上述像点时钟作为取样时钟，对上述图象信号进行取样，然后将其变换为数字信号；803 是锁存电路，用来将上述 A/D 变换器 801 输出的数字信号延迟上述取样时钟延迟一个周期；804 是差分电路，为了求算相邻取样值之间的差值，该电路接收来自上述锁存电路的输入与输出两个信号，并将其差值输出；805 是绝对值电路，用于输出上述差分电路 804 输出的绝对值；809 是用来储存预先设定的设定值的存贮电路；812 是比较电路，该电路将绝对值电路 805 的输出与存储电路 809 的输出相比，当绝对值电路 805 的输出大时，输出使累计计算电路 806 进行累计计算操作的使能信号；806 是累计计算电路，根据上述使能信号将绝对值电路 805 的输出逐次进行累计计算。

807 是锁存电路，用来将来自绝对值电路 805 的输出锁存一个帧周期。累计计算电路 806 在锁存电路 807 锁存后，输入清除用的清除脉冲，结果，每一帧的累计计算结果输入到下面描述的控制电路 808 中。

808 是控制电路，用来接收锁存电路 807 的输出，产生用于控制上述像点时钟相位用的相位控制信号。

现对以上结构的本实施例 8 的动作加以说明。本实施例是在上述实施例 5 中增添了比较电路 812 和存储电路 809，并且能对于累计计算电路 806 的累计计算运作能够进行 ON/OFF 的控制操作。

对于和图 15 进行的同样运作的方框，其详细说明在此省略了。

由绝对值电路 805 输出的绝对值比存储电路 809 中设定的设定值大时，就可以仅对此时的边沿部分作为图象的边沿部分进行累计计算，从而能够提高自动调整的精度。

于是，通过调整像点时钟的相位，使取样点发生变化，利用相邻取样值之间的取样值的差值的增减，满足对上述相位与上述差值之间的关系所规定的条件，起到进行自动调整的作用。在本实施例中，特别是当绝对值大于设定值的时候，如果只将适当的边沿部分作为图象的边沿部分进行累计计算，能够提高自动调整的精度。

(实施例 9)

以下利用图 22 对本发明的另一实施例进行说明：

在图 22 中，901 是 PLL 电路，它以（比方说）计算机输出的图象信号作为输入信号，再生出与其同步信号同步的像点时钟，另外还能够对于该像点时钟的相位进行控制。

902 是 A/D 变换器，在将上述像点时钟作为取样时钟的条件下，用来对上述图象信号进行取样，然后将其变换为数字信号。

911 是行存储器，用来将 A/D 变换器输出的数字信号延迟一行的时间；904 是差分电路，用来接收来自上述行存储器的输入与输出两个信号，并将其差值输出；905 是绝对值电路，用于输出上述差分电路 904 输出的绝对值；909 是用来储存预先设定的设定值的存贮电路；912 是比较电路，当绝对值电路 905 的输出与存储电路 909 的输出相比，绝对值电路 905 的输出小时，输出使累计计算电路 906 进行累计计算运作的使能信号；906 是累计计算电路，当收到上述使能信号时，将绝对值电路 905 的输出逐次进行累计计算。

907 是锁存电路，用来将来自绝对值电路 905 的输出按一帧的周期进行锁存。

累计计算电路 906 在锁存电路 907 锁存后, 输入清除用的清除脉冲, 结果, 每一帧的累计计算结果输入到如后所述的控制电路 908 中。

908 是控制电路, 用来接收锁存电路 907 的输出, 产生用于控制上述像点时钟相位用的相位控制信号。

现对以上结构的本实施例 9 的动作加以说明。本实施例是在上述实施例 6 中增添了比较电路 912 和存储电路 909, 从而对于累计计算电路 906 的累计计算操作能够进行开始和停止的操作。

对于和图 17 进行的同样运作的方框, 其详细说明在此省略。

由绝对值电路 905 输出的绝对值较比存储电路 909 中设定的设定值小时, 就可以将其作为与垂直相关的像素累计计算, 如果遇到与图象中的垂直相关的像素存在, 就可能进行自动调整, 从而能够解决在实施例 6 中遇到的输入信号中的图象受到明显限制的问题。

于是, 就能够在绝对值比设定值小时, 判定其图象中无垂直相关性, 不进行累计计算, 仅对与图象垂直相关的部分进行累计计算。因此, 如果输入图象中即使有少量的垂直相关的部分就起到能够进行自动调整的作用。

(实施例 10)

以下利用图 23 对本发明的另一实施例进行说明:

在图 23 中, 101 是 PLL 电路, 其输入信号可以是比方说由计算机输出的图象信号, 它用于再生与其同步信号同步处理的像点时钟, 另外还能够对于该像点时钟的相位进行控制。

102 是 A/D 变换器, 在将上述像点时钟作为取样值时钟的条件下, 用来对上述图象信号进行取样, 然后将其变换为数字信号;

103 是锁存电路, 用来将经过上述 A/D 变换器 102 后的数字信号较比上述取样时钟延迟一个周期锁存; 104 是差分电路, 为了求算邻接取样值之间的取样值的差值, 用来接收来自上述锁存电路的输入与输出之间的差值; 105 是绝对值电路, 用于输出上述差分电路输出的绝对值; 109 是用来储存预先设定的设定值的存贮器; 112 是比较电路, 当绝对值电路 105 的输出与存储电路 109 的输出相比, 绝对值电路 105 的输出大时, 由累计计算电路 106 进行累计计算运作, 输出使能信号; 106 是累

计计算电路，当收到上述使能信号时，将绝对值电路 105 的输出逐次进行累计计算。7-2 是锁存电路，用来将来自绝对值电路 105 的输出以及计数器 113 的输出按一帧的周期进行锁存。

114 是除法器，用来将累计计算的输出值除以计数器 113 的输出值所得之商输出到控制电路 108。

现对以上结构的本实施例 10 的动作加以说明。

本实施例是在上述实施例 9 中增添了锁存电路 7-2，用来以一帧为单位，将计数器 113 和累计计算电路 106 的输出进行锁存；又将累计计算电路 106 的输出通过锁存电路 7-1 之后在除法器 114 中除以 7-2 的输出值进行除法计算。对于和图 21 进行的同样运作的方框，其详细说明在此就省略了。

由绝对值电路 105 输出的绝对值比存储电路 109 中设定值大时，仅只将是属于图象的边沿部分的边沿部分进行累计计算，除此之外，经过累计计算算出的像素也通过计数器 113 进行计数，再通过除法器 114 求出每个像素的平均值。因此，由于噪声等产生的判定为边沿的像素有变化时，影响小的值被输入到控制电路 108 中，从而提高了自动调整的精度。

(实施例 11)

以下利用图 24、图 25 对本发明的另一实施例进行说明：

在图 24 中，201 是 PLL 电路，其输入信号可以是由计算机输出的图象信号，它能够再生与其同步信号同步的像点时钟，另外还能够对于该像点时钟的相位进行控制。

202 是 A/D 变换器，在将上述像点时钟作为取样时钟的条件下，用来对上述图象信号进行取样，然后将其变换为数字信号；211 是行存储器，用来将经过上述 A/D 变换器 202 后的数字信号延迟一行；204 是差分电路，用来输出上述帧存储器的输出与上述 A/D 变换器的输出之间的差值；205 是绝对值电路，用于输出上述差分电路输出的绝对值；209 是用来储存预先设定的设定值的存贮器；212 是比较电路，当绝对值电路 205 的输出与存储电路 209 的输出相比，绝对值电路 205 的输出小时，

输出使累计计算电路 206 进行累计计算运作的使能信号； 206 是累计计算电路，当收到上述使能信号时，将绝对值电路 205 的输出逐次进行累计计算。

213 是计数器，当收到上述允许信号时，将对上述像点时钟的计数结果输出到控制电路 208； 208 是锁存电路，用来以一帧为单位锁存绝对值电路 205 的输出。

累计计算电路 206 在锁存电路 207 锁存后输入使之清除用的清除脉冲，结果，每一帧的累计计算结果被输入到如后所述的控制电路 208 中。

208 是控制电路，用来接收锁存电路的输出，产生用于控制上述像点时钟相位用的相位控制信号。

现对以上结构的本实施例 11 的动作加以说明。本实施例是在上述实施例 10 中增设了计数器 213，利用比较电路 212 输出的使能信号，使像点时钟的计数运作开始/停止。

对于和图 22 进行同样运作的方框，其详细说明在此就省略了。

经过累计计算电路 206 累计计算的像素由计数器 213 进行计数，从而使控制电路 208 能够进行自动调整。

按理说，如果是静止画面，垂直相关的像素数不会发生变化。因此，可以认为：如果像点时钟的相位发生变化，计数器 213 的计数值发生变化，相位就属于不适当的状态。根据上述理由，图 25 的流程图就是根据计数器 213 的计数值的变化进行自动调整的一个示例。当然，毋庸置疑，使流程图的结束条件或者使相位发生变化的算法即便有所改变，只要能完成同样的动作，也是可以采用的。

如上所述，本实施例能够解决实施例 10 中垂直相关的检出精度受像点时钟相位状态的影响的问题。

如果采用以上所述的本发明，由于从图象信号源输出调整用信号，除了设有针对该调整信号用的反射频率成分检测装置以外，还在相位差检测装置中设置了无需特定的信号也能进行检测的装置，当将计算机等一类的图象信号源连接在图象显示装置上时，就能够提供能再生最佳的像点时钟的像点时钟再生装置。

因此，由于对用户并不知道像点时钟的频率以及传输线路方面的原

因造成的相位错位能被自动补偿，过去一直依赖于用户进行的调整，现在仅只由用户做一次启动自动调整的操作，就能取得同样的效果。

如果采用本发明，由于算出了每帧图象信号的取样值的总和并使该值在各帧之间处于最小分散度下，因此当将计算机等一类的图象信号源连接在图象显示装置上时，就能够对由于传输线路方面的原因产生的相位错位现象自动进行补偿，过去一直依赖于用户进行的调整，仅只由用户在看到静止画面时启动开始自动调整的操作，就能取得同样的效果。

另外，本发明能达到下面的效果，过去一直依赖用户进行的相位调整能够自动进行，而且能够以非常简单的廉价结构实现自动调整。

图1

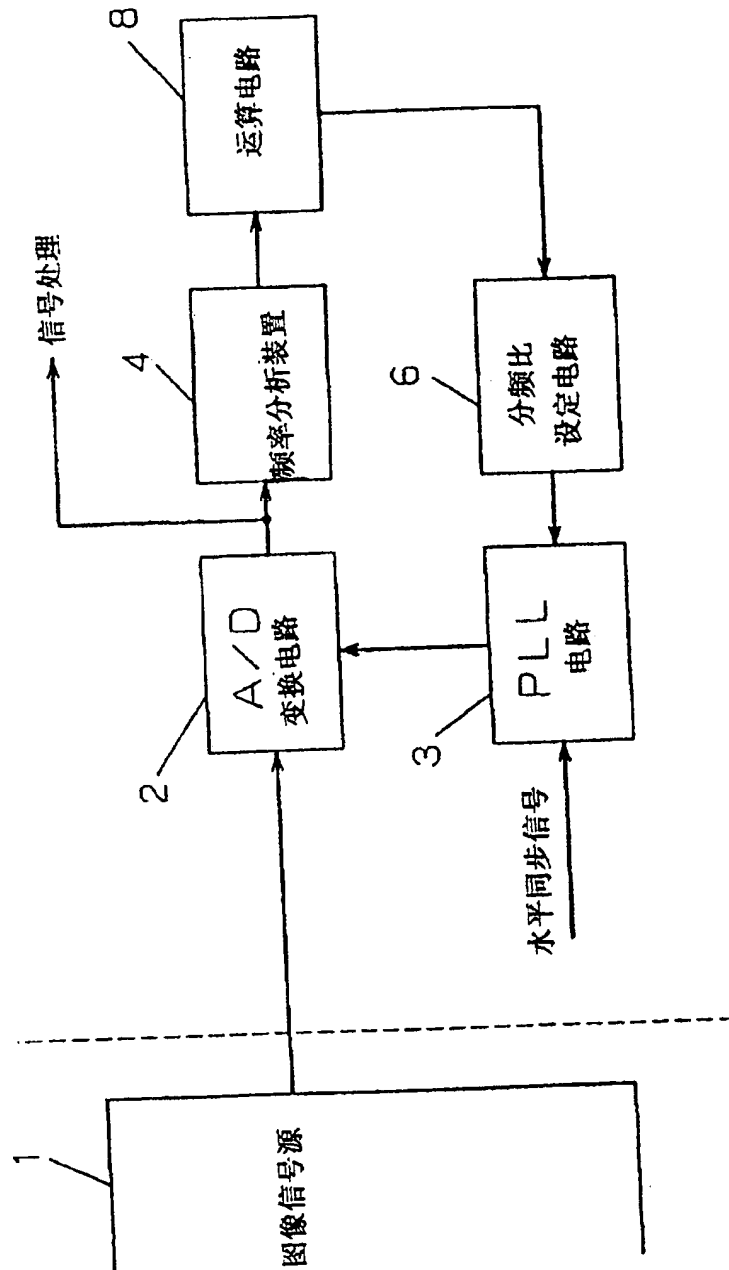


图 2

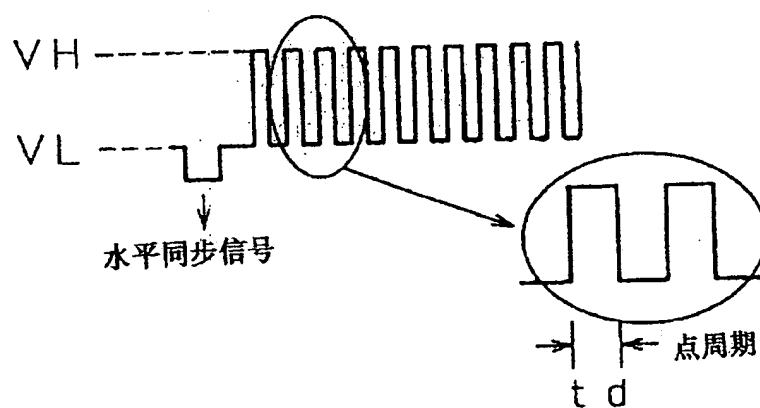


图 3

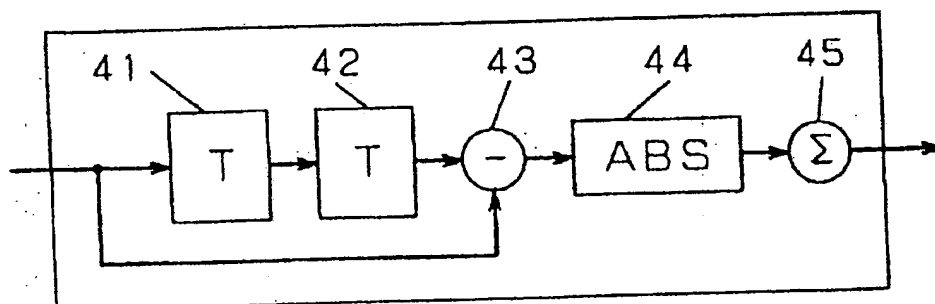


图 4

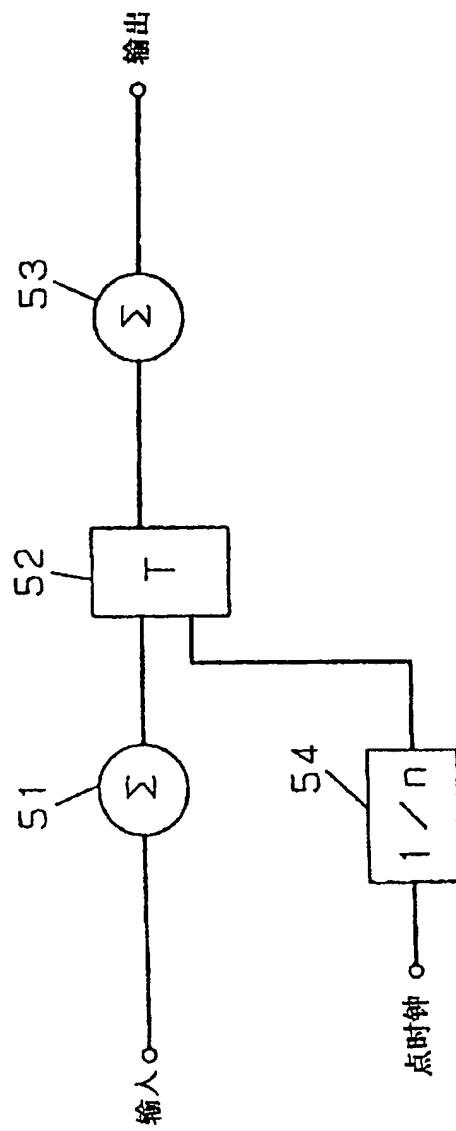
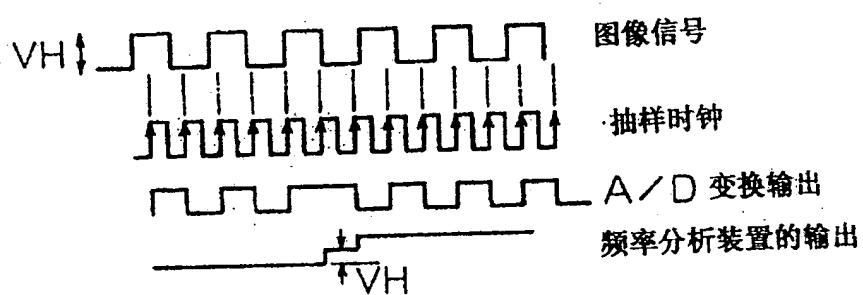


图 5

(a) 频率不同时



(b) 频率相等时

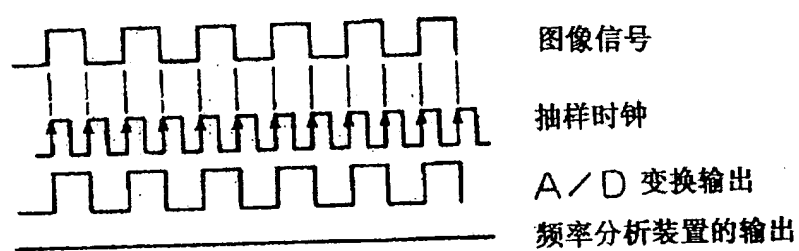


图 6

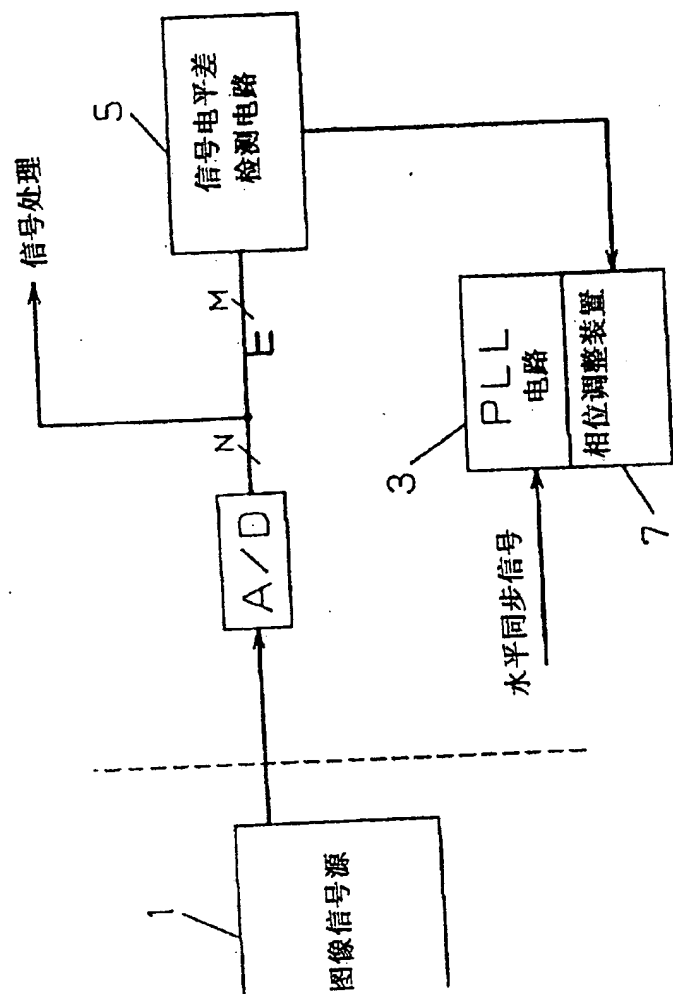


图 7

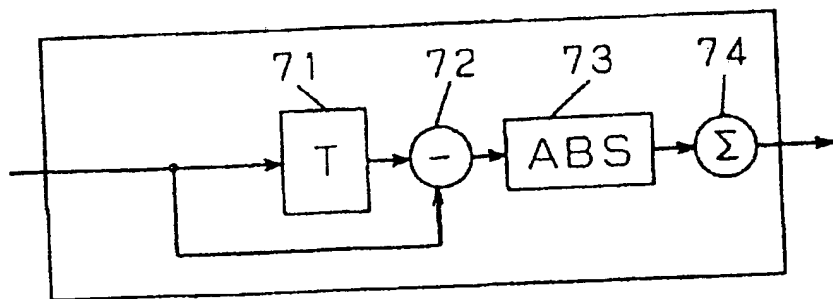
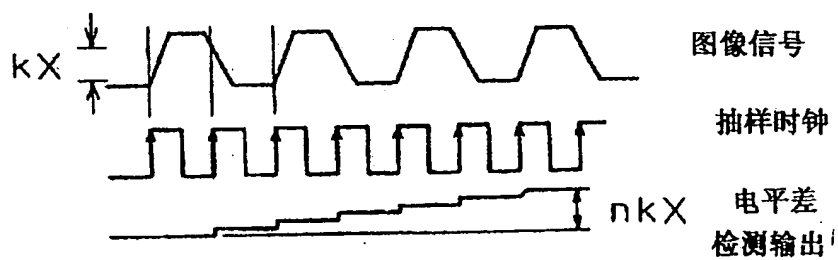


图 8

(a) 相位重合时



(b) 相位不重合时

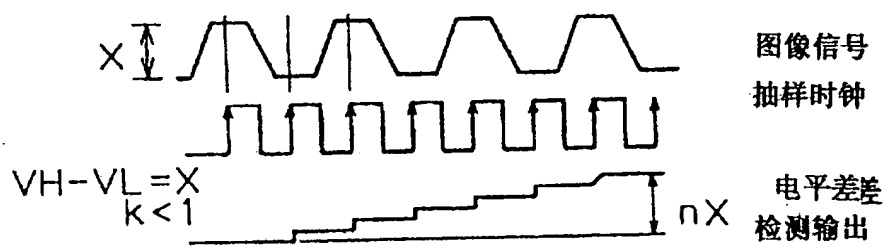


图 9

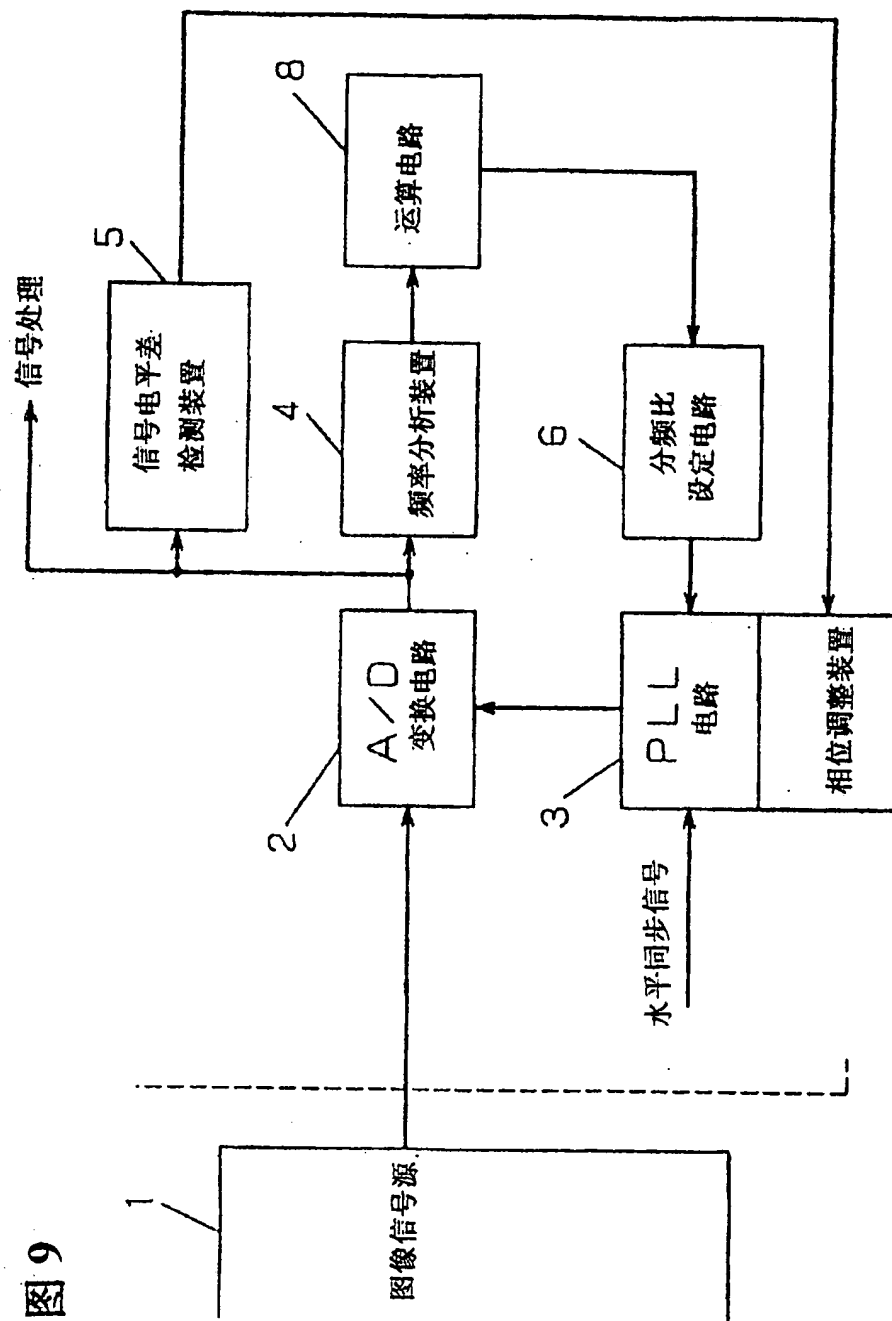


图 10

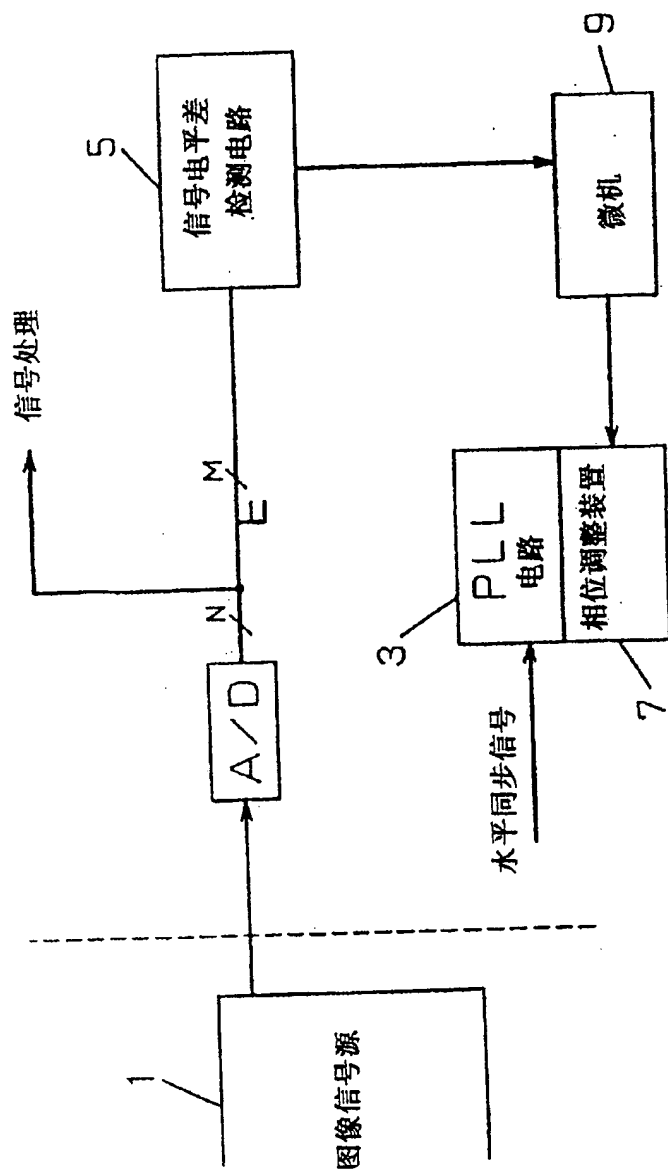


图 11

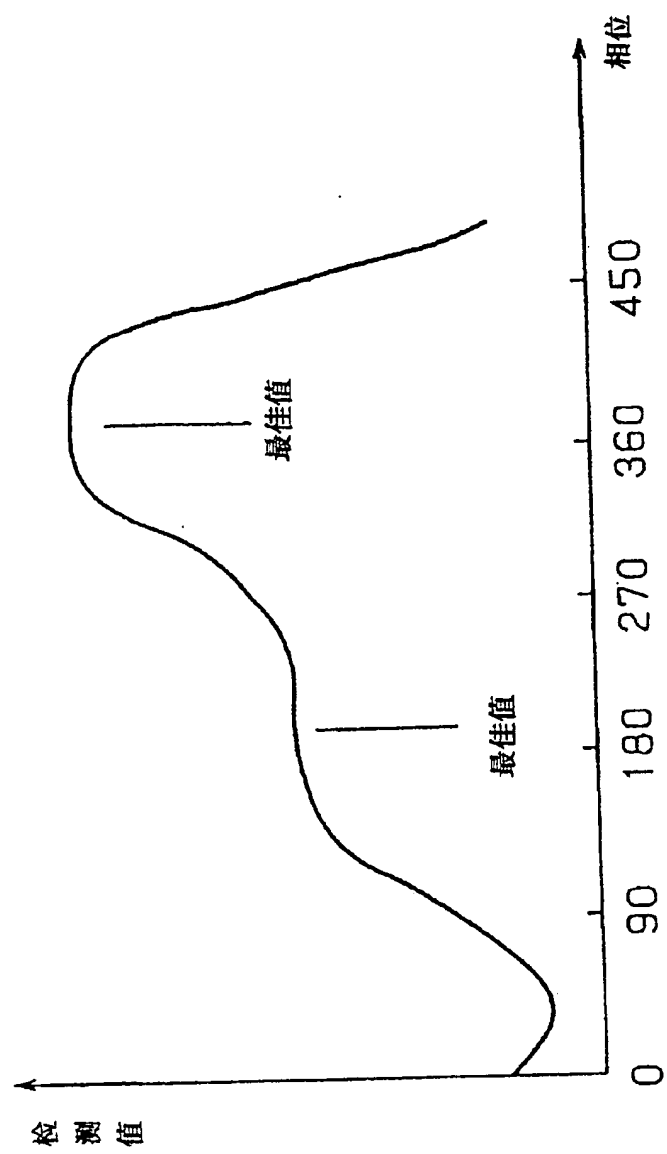


图 12

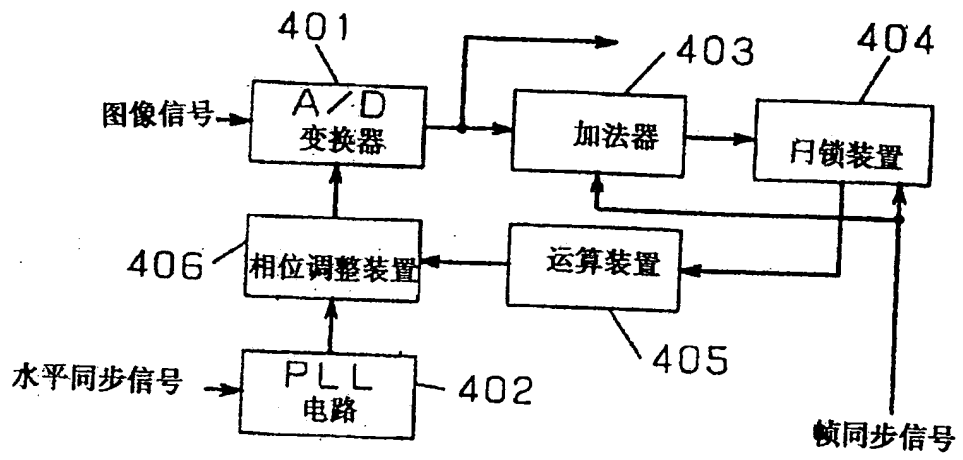


图 13

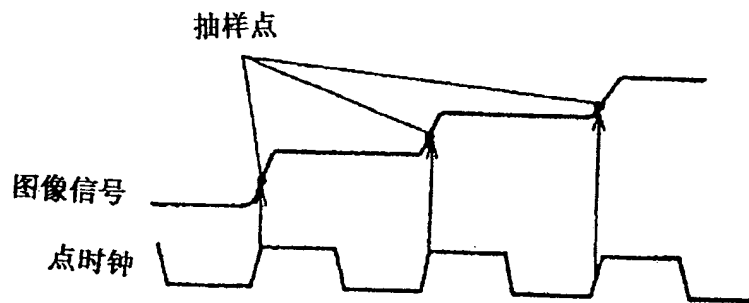


图 14

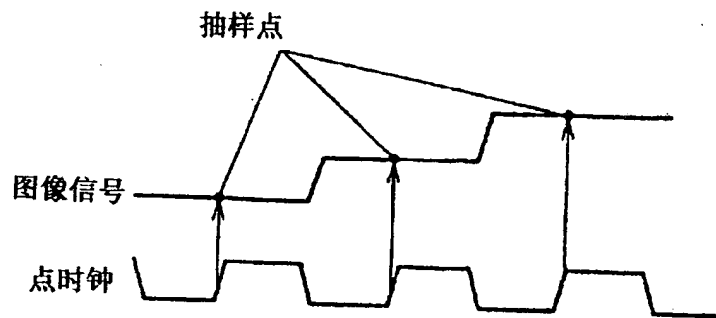


图 15

- 502 A/D 变换器
- 503, 507 反馈电路
- 504 差分电路
- 505 绝对值电路
- 506 累计电路

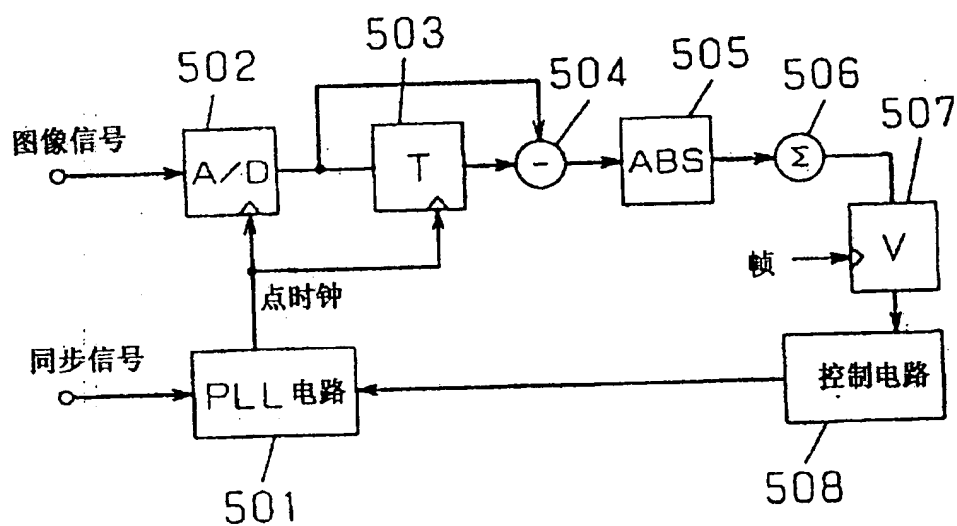


图 16

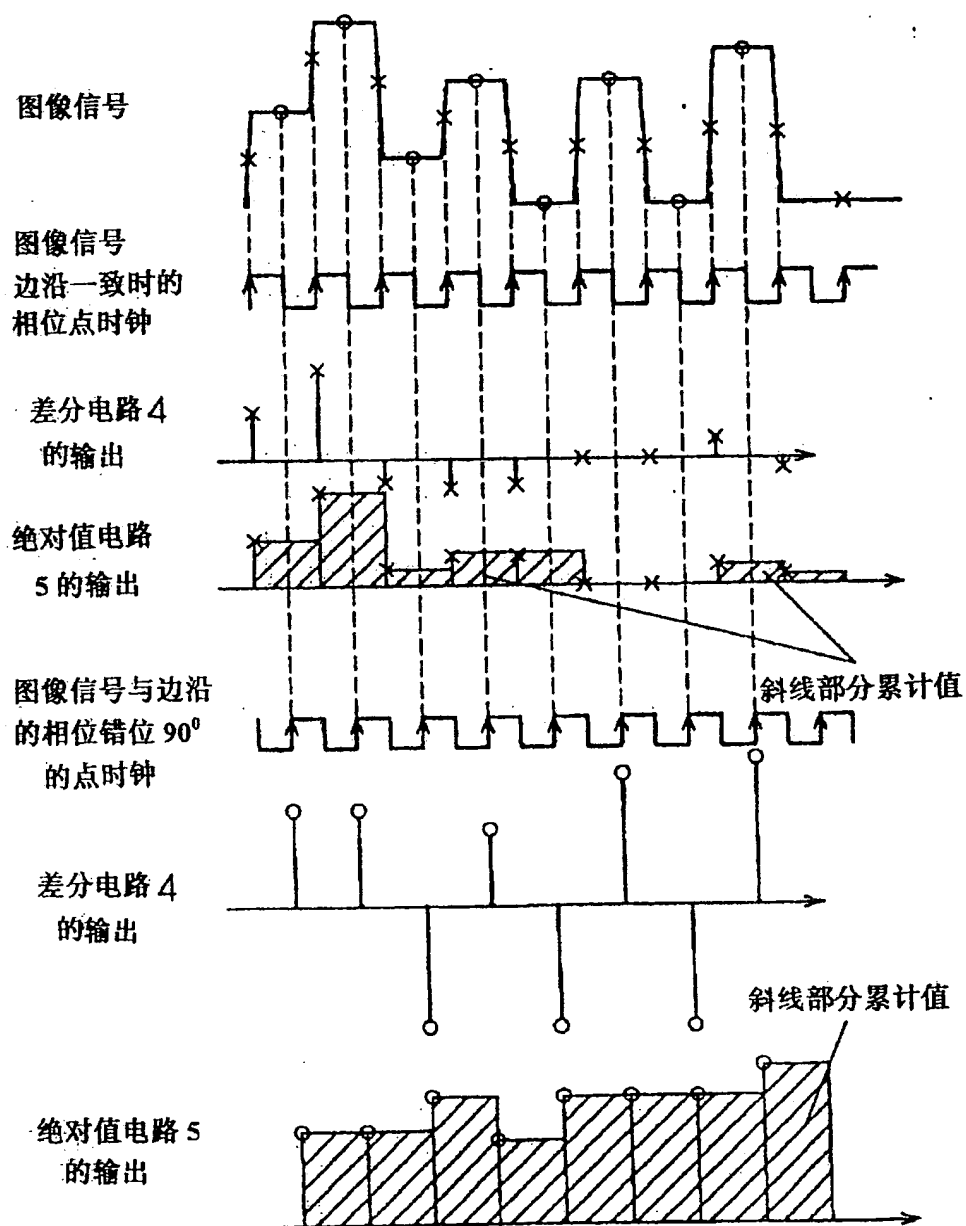


图 17

- 602 A/D 变换器
- 604 差分电路
- 605 绝对值电路
- 606 累计电路
- 607 门锁电路
- 611 行存储器

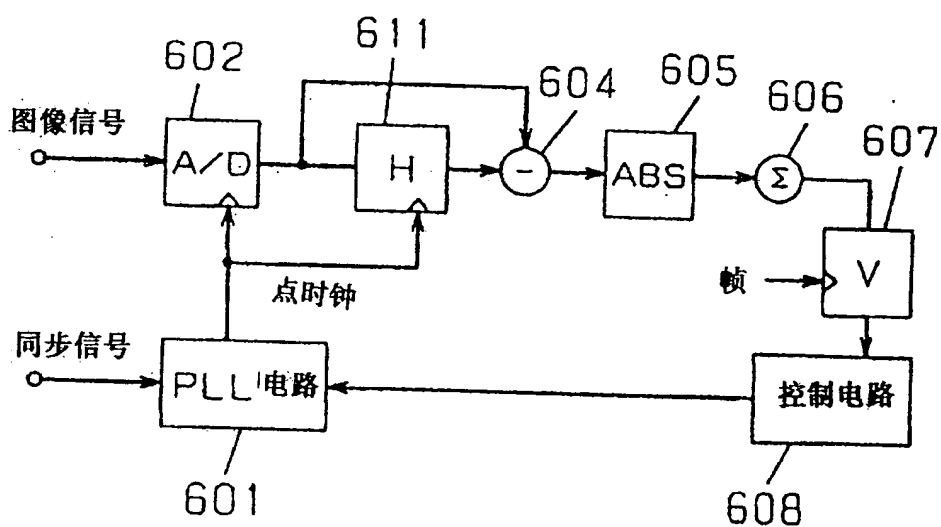


图 18

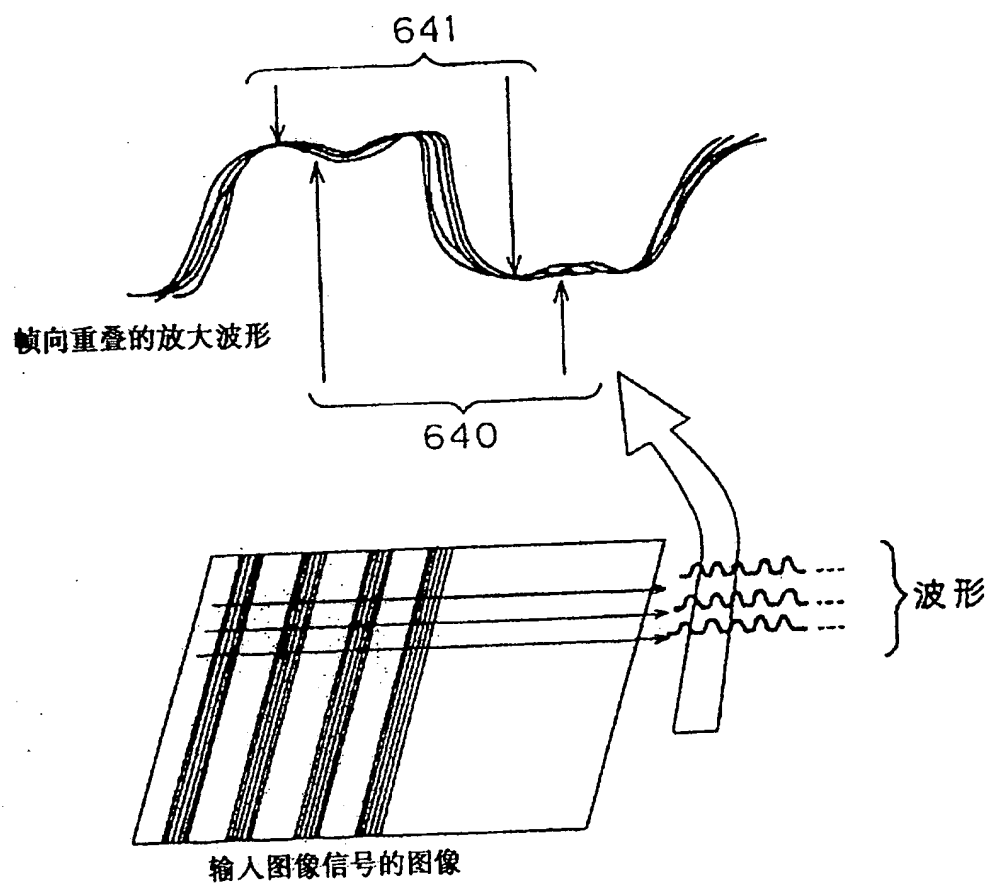


图 19

- 702 A/D变换器
- 704 差分电路
- 705 绝对值电路
- 706 累计电路
- 707 门锁电路
- 710 帧存储器

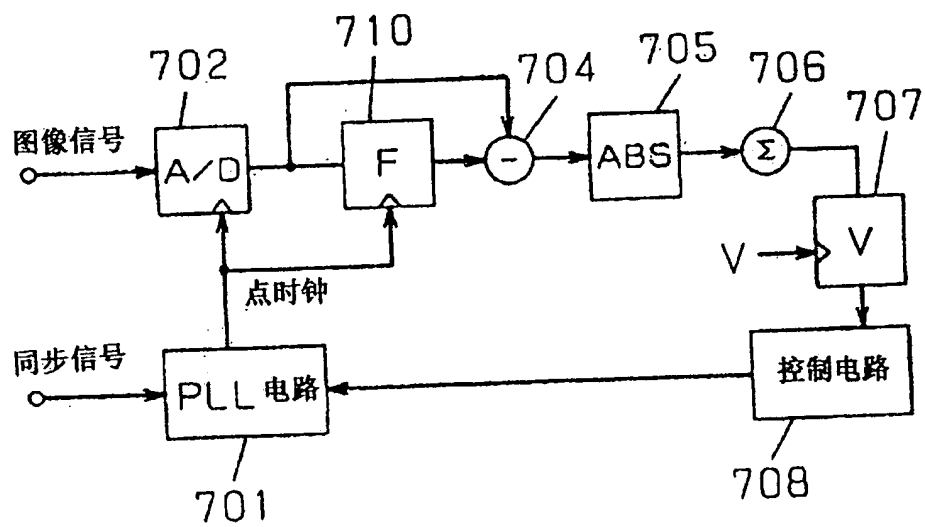


图 20

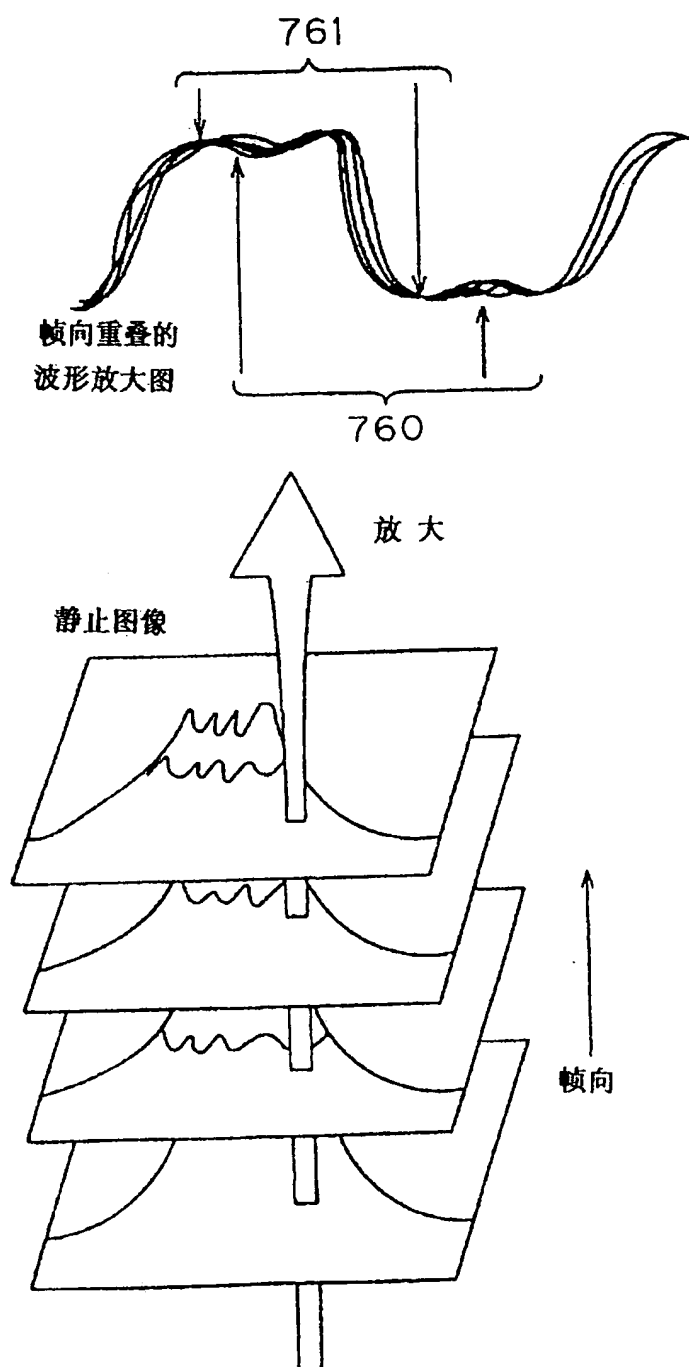


图 21

- 802 A/D 变换器
- 803, 807 反馈电路
- 804 差分电路
- 805 绝对值电路
- 806 累计电路
- 809 设定值存储电路

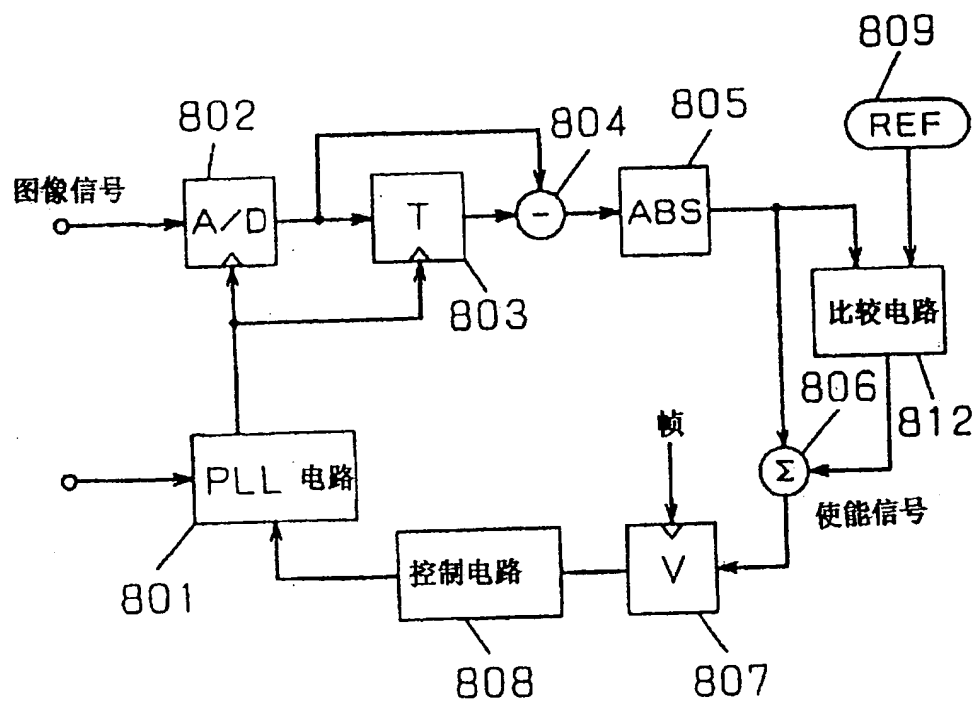


图 22

- 902 A/D 变换器
- 904 差分电路
- 905 绝对值电路
- 906 累计电路
- 907 门锁电路
- 909 设定值存储电路

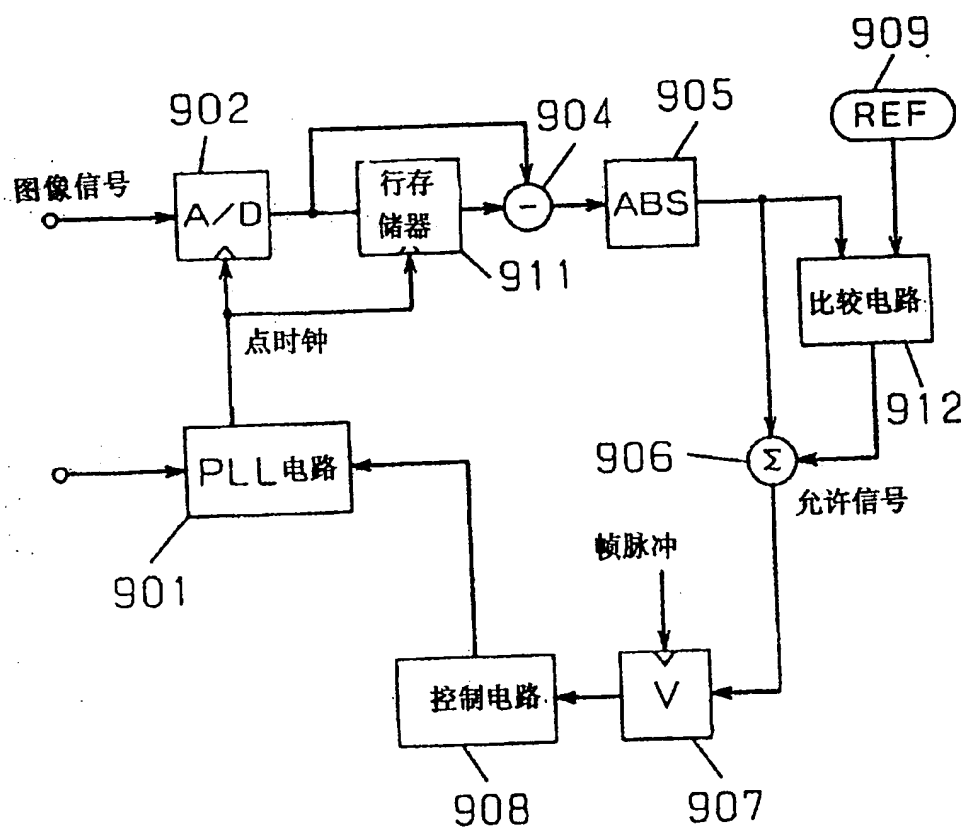


图 23

- | | |
|----------|---------|
| 102 | A/D 变换器 |
| 103. 107 | 开锁电路 |
| 104 | 差分电路 |
| 105 | 绝对值电路 |
| 106 | 累计电路 |
| 109 | 设定值存储电路 |
| 114 | 除法电路 |

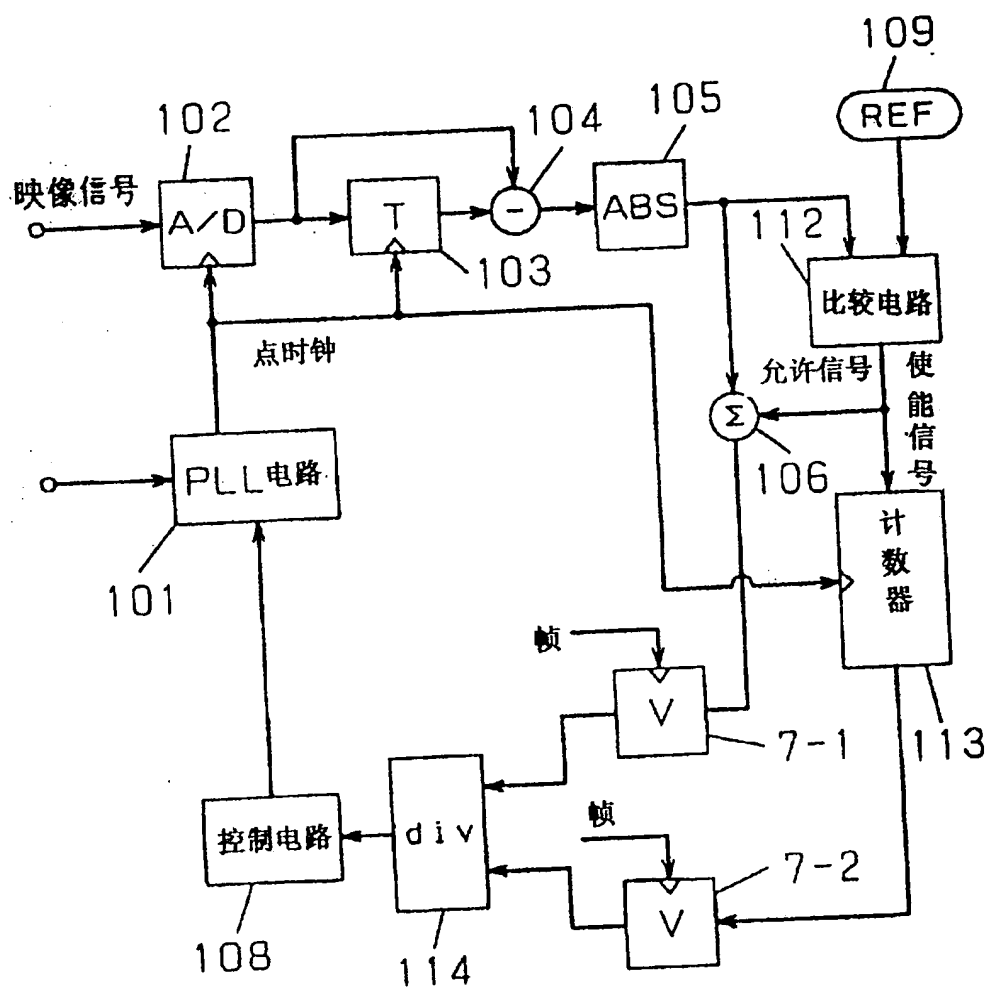


图 24

- 202 A/D变换器
- 204 差分电路
- 205 绝对值电路
- 206 累计电路
- 207 门锁电路
- 209 设定值存储电路

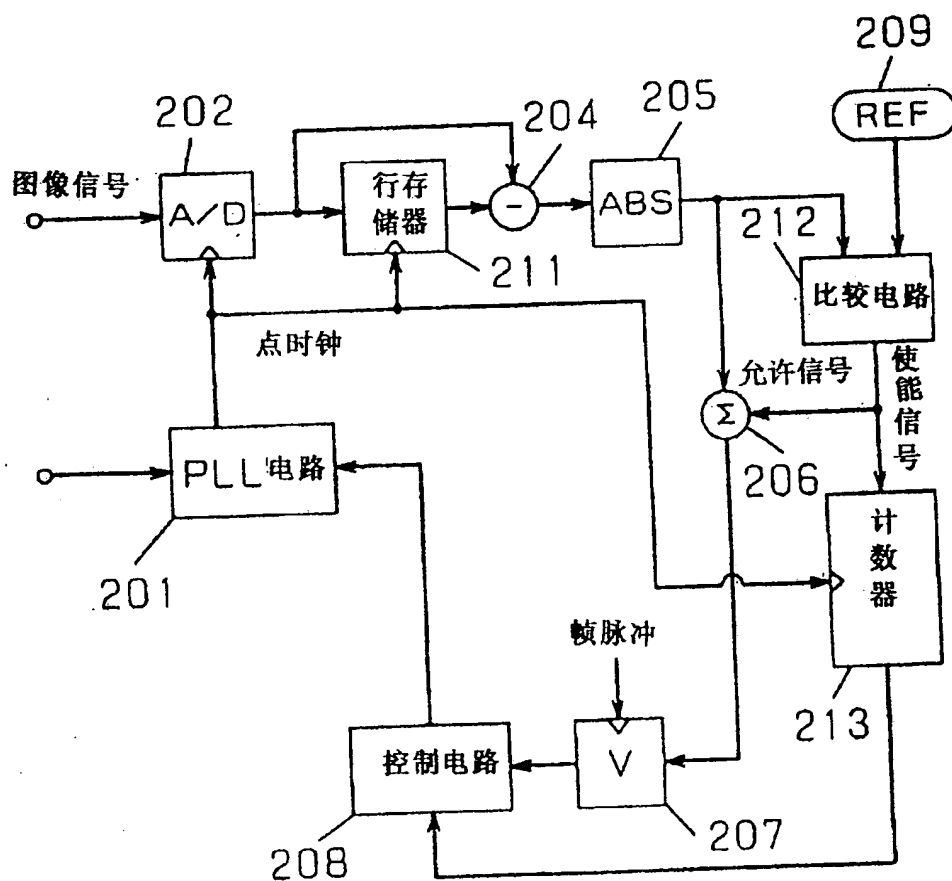


图 25

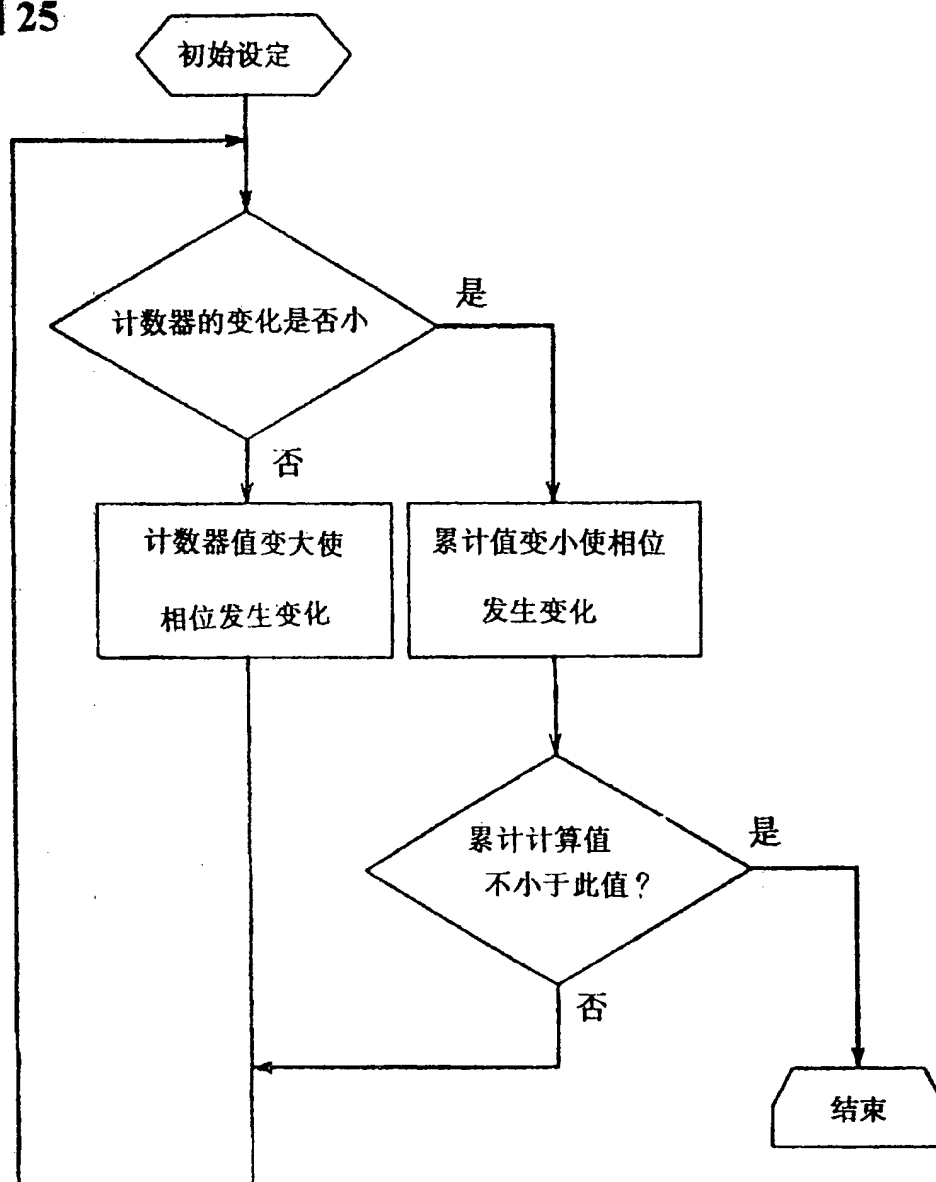
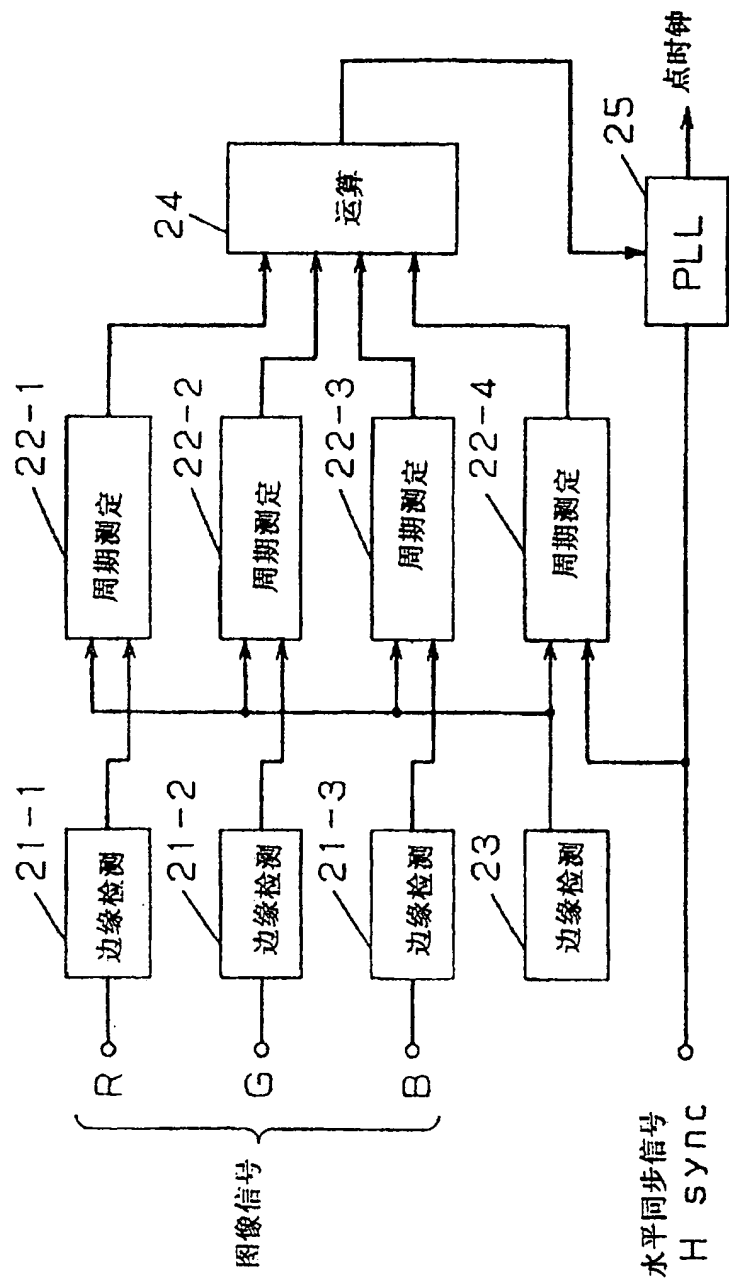


图 26



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.